

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Satoshi INABA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF THE SAME

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<b>COUNTRY</b>	<b>APPLICATION NUMBER</b>	<b>MONTH/DAY/YEAR</b>
Japan	2003-352628	October 10, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日 2003年10月10日  
Date of Application:

出願番号 特願2003-352628  
Application Number:

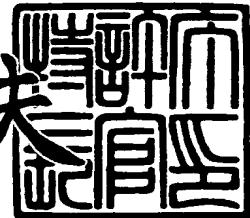
[ST. 10/C] : [JP2003-352628]

出願人 株式会社東芝  
Applicant(s):

2003年11月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



**【書類名】** 特許願  
**【整理番号】** ACB033066  
**【提出日】** 平成15年10月10日  
**【あて先】** 特許庁長官殿  
**【国際特許分類】** H01L 21/8238  
**【発明者】**  
**【住所又は居所】** 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内  
**【氏名】** 稲葉 聰  
**【発明者】**  
**【住所又は居所】** 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝 横浜事業所内  
**【氏名】** 藤原 実  
**【特許出願人】**  
**【識別番号】** 000003078  
**【氏名又は名称】** 株式会社 東芝  
**【代理人】**  
**【識別番号】** 100083806  
**【弁理士】**  
**【氏名又は名称】** 三好 秀和  
**【電話番号】** 03-3504-3075  
**【選任した代理人】**  
**【識別番号】** 100068342  
**【弁理士】**  
**【氏名又は名称】** 三好 保男  
**【選任した代理人】**  
**【識別番号】** 100100712  
**【弁理士】**  
**【氏名又は名称】** 岩▲崎▼ 幸邦  
**【選任した代理人】**  
**【識別番号】** 100100929  
**【弁理士】**  
**【氏名又は名称】** 川又 澄雄  
**【選任した代理人】**  
**【識別番号】** 100108707  
**【弁理士】**  
**【氏名又は名称】** 中村 友之  
**【選任した代理人】**  
**【識別番号】** 100095500  
**【弁理士】**  
**【氏名又は名称】** 伊藤 正和  
**【選任した代理人】**  
**【識別番号】** 100101247  
**【弁理士】**  
**【氏名又は名称】** 高橋 俊一  
**【選任した代理人】**  
**【識別番号】** 100098327  
**【弁理士】**  
**【氏名又は名称】** 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

**【書類名】特許請求の範囲****【請求項 1】**

半導体装置において、

ソース領域、

前記ソース領域と同じ素子領域に設けられたドレイン領域、及び  
環状に形成されたゲート電極領域、を有する第一のトランジスタと、

前記環状に形成されたゲート電極領域を共有し、前記ソース領域若しくは前記ドレイン  
領域を共有した前記第二のトランジスタと、

を有することを特徴とする半導体装置。

**【請求項 2】**

半導体装置において、

トランジスタのソース領域及びドレイン領域を複数交互に有する素子領域と、

前記素子領域上に環状に形成され、前記ソース領域と前記ドレイン領域の間の二箇所に  
その一部が設けられた複数のトランジスタのゲート電極領域と、

を有することを特徴とする半導体装置。

**【請求項 3】**

半導体装置において、

第一導電型トランジスタのソース領域及びドレイン領域を複数有する第一の素子領域と、

前記第一の素子領域上に環状に形成された複数の第一導電型トランジスタのゲート電極  
領域と、

第二導電型トランジスタのソース領域及びドレイン領域を複数有する第二の素子領域と、

前記第二の素子領域上に環状に形成され、各々前記第一導電型のゲート電極領域に電気  
的に接続された複数の第二導電型トランジスタのゲート電極領域と、

前記第一の素子領域のソース領域の少なくとも一つに第一の電圧を供給する第一の配線  
と、

前記第二の素子領域のソース領域の少なくとも一つに第二の電圧を供給する第二の配線  
と、

前記第一及び前記第二の素子領域のドレイン領域及び前記第一導電型及び第二導電型の  
ゲート電極領域に電気的に接続された第三の配線と、

を有することを特徴とする半導体装置。

**【請求項 4】**

前記ドレイン領域が環状に接続されたゲート電極領域で囲まれた領域内に形成されること  
を特徴とする請求項1または2のいずれか一項に記載の半導体装置。

**【請求項 5】**

前記環状のゲート電極領域で囲まれた領域内に電気的に独立なドレイン領域が形成されて  
いることを特徴とする請求項1乃至4のいずれか一項記載の半導体装置。

**【請求項 6】**

前記ソース領域が前記環状のゲート電極領域で囲まれた領域の外に形成されることを特徴  
とする請求項1乃至5のいずれか一項に記載の半導体装置。

**【請求項 7】**

前記ソース領域が前記環状のゲート電極領域で囲まれた領域の外に複数個形成され、それ  
らが電気的に接続されることを特徴とする請求項1乃至6のいずれか一項に記載の半導体  
装置。

**【請求項 8】**

前記環状のゲート電極領域は、その長さが配線部とゲート電極領域とのコンタクト領域を  
除いて、素子領域上と素子分離領域上において等しいことを特徴とする請求項1乃至7の  
いずれか一項に記載の半導体装置。

**【請求項 9】**

前記半導体装置は、前記第一導電型トランジスタ及び第二導電型トランジスタのゲート電極領域に電気的に接続された第四の配線を有し、前記ゲート電極領域内における接続箇所が2箇所以上形成されることを特徴とする請求項1乃至8のいずれか一項に記載の半導体装置。

【請求項10】

前記第四の配線は、ドレイン領域の上部に配置されることを特徴とする請求項9記載の半導体装置。

【請求項11】

前記第1のゲート電極領域と前記第2のゲート電極領域が、金属配線で接続されていることを特徴とする請求項10記載の半導体装置。

【請求項12】

前記第1のゲート電極領域と前記第2のゲート電極領域が、それらを構成する材料からなる領域で接続されることを特徴とする請求項10記載の半導体装置。

【請求項13】

前記半導体装置は、バルク基板上に設けられることを特徴とする請求項1乃至12のいずれか一項に記載の半導体装置。

【請求項14】

前記半導体装置は、SOI基板上に設けられることを特徴とする請求項1乃至12のいずれか一項に記載の半導体装置。

【請求項15】

前記半導体装置は、CMOS論理回路であることを特徴とする請求項1乃至12のいずれか一項に記載の半導体装置。

【請求項16】

前記半導体装置は、否定回路、否定論理積回路、若しくは否定論理和のうち、少なくとも一つを含むことを特徴とする請求項1乃至15のいずれか一項に記載の半導体装置。

【請求項17】

前記第一導電型トランジスタのゲート電極領域と前記第二導電型トランジスタのゲート電極領域との形状が異なることを特徴とする請求項3乃至16のいずれか一項に記載の半導体装置。

【請求項18】

前記第一の素子領域と前記第二の素子領域との形状が異なることを特徴とする請求項3乃至17のいずれか一項に記載の半導体装置。

【請求項19】

前記第一導電型若しくは前記第二導電型トランジスタのチャネル領域が基板面に対して垂直な面内に形成されることを特徴とする請求項3乃至18のいずれか一項に記載の半導体装置。

【請求項20】

前記第一導電型若しくは前記第二導電型トランジスタのチャネル領域に流れる電流の方向が基板面に対して水平方向であることを特徴とする請求項19記載の半導体装置。

【請求項21】

前記第一若しくは第二の素子領域は、複数の短冊状に設けられたフィン構造を有することを特徴とする請求項3乃至20のいずれか一項に記載の半導体装置。

【請求項22】

前記半導体装置は、基板面に対して垂直な面内に複数のチャネル領域が形成され、電流の流れる方向が基板面に対して水平方向であり、かつチャネル領域が動作時に完全空乏化していることを特徴とする請求項21に記載の半導体装置。

【請求項23】

前記半導体装置のn型トランジスタのチャネルを構成するフィンの数とp型トランジスタのチャネルを構成するフィンの数の比が1.0以上2.0以下で構成されることを特徴とする請求項22記載の半導体装置。

**【請求項24】**

前記フィンの高さは10ナノメーター以上1マイクロメーター以下であることを特徴とする請求項22乃至23のいずれか一項に記載の半導体装置。

**【請求項25】**

前記半導体装置の製造時に前記複数の短冊状に設けられたフィンの両端にダミーフィンを設けることを特徴とする請求項22乃至24のいずれか一項に記載の半導体装置。

**【請求項26】**

半導体装置の製造方法において、

ゲート電極材料の上に、ハードマスク材料を堆積する工程と、  
ダミーゲートパターンを前記堆積されたハードマスク材料上に形成する工程と、  
前記ダミーゲートパターン上に側壁形成のための材料を堆積する工程と、  
側壁形成のための側壁残しエッチングする工程と、  
前記ダミーパターンを選択的に除去する工程と、  
ゲート電極と金属配線を結ぶ領域を形成するためのリソグラフィ工程と、  
ゲート電極領域のハードマスクを加工する工程と、  
レジストを除去する工程と、  
そのハードマスクでゲート電極領域を加工する工程と、  
を含むことを特徴とする半導体装置の製造方法。

**【請求項27】**

半導体装置の製造方法において、

基板上にハードマスク材料を堆積する工程と、  
ダミー素子領域を形成する工程と、  
ダミー素子領域上に更に側壁形成のための材料を堆積する工程と、  
側壁形成のための側壁残しRIE工程と、  
ダミー素子領域を選択的に除去する工程と、  
ソース領域ならびにドレイン領域をリソグラフィでパターニングする工程と、  
残った側壁部とリソグラフィのパターンで基板上の素子領域に対するハードマスクを加工する工程と、  
側壁部とリソグラフィのパターンを選択的に除去する工程と、  
ハードマスクの寸法を縮小する工程と、  
そのハードマスクで素子領域を加工する工程と  
を含むことを特徴とする半導体装置の製造方法。

**【請求項28】**

前記ハードマスク材料は、SiO<sub>2</sub>とSiNの積層構造であることを特徴とする請求項26若しくは27のいずれか一項に記載の半導体装置の製造方法。

**【請求項29】**

前記ダミー素子領域は、TEOSで形成されることを特徴とする請求項26乃至28のいずれか一項に記載の半導体装置の製造方法。

**【請求項30】**

前記側壁形成のための材料は、アモルファスシリコンであることを特徴とする請求項26若しくは28のいずれか一項に記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、サイドウォールパターントランスファー法による微細ゲート形成工程を採用する技術に関する。

【背景技術】

【0002】

近年、シリコン基板上に形成されるLSIにおいては、そこに用いられる素子の微細化による高性能化が著しい。これは論理回路、もしくはSRAMなどの記憶装置に用いられるMOSFETがいわゆるスケーリング則に基づいてゲート長が縮小されたり、ゲート絶縁膜が薄膜化されたりすることで性能改善がなされている。

【0003】

このうちゲート長の縮小に関しては、世代を追うにつれて微細なゲート電極パターンを形成するのが難しくなってきており、既に一部では光によるリソグラフィの解像限界を超えており、これ以上細いパターンを従来からのレジスト塗布と紫外光露光という組合せによって形成すること、ならびにその出来上がったパターンの空間的な揺らぎを制御することが非常に困難になってきている。

【0004】

そこで、最近ではレジストで直接的に細いゲートパターンを形成するのではなく、まずあるダミーパターンを形成して、その上に絶縁膜、もしくはポリシリコン、アモルファスシリコンなどを堆積し、全体に対して側壁残し工程と呼ばれるRIE (R e a c t i v e I o n E t c h i n g) を行ってダミーパターンの側壁に面して堆積膜からなる側壁部を形成した後に、ダミーパターンを除去してその細い側壁部のパターンをマスクとして用いてゲート電極、もしくはシリコン基板を加工するという方法が提案されている。

【0005】

例えば、非特許文献1には、この方法によってシリコン基板を加工する方法が開示されている。この方法を以下ではサイドウォールパターントランスファー (s i d e w a l l p a t t e r n t r a n s f e r) 法と呼ぶことにする。この方法によれば、側壁残し工程によって形成された細いパターンは基本的には堆積した膜の膜厚と、エッチング条件のみに依存して形成され、レジストによる微細ゲートパターン形成を行わなくても細線が形成される。実際には金属配線部とゲート電極を接続するためのコンタクト領域が必要なので、この部分はレジストによる大きなパターン形成が必要になるが、チャネルとなる部分のゲート電極部はリソグラフィによらずに細線パターンが形成可能である。

【0006】

一方、3次元型のMOSFETの一種で、短冊状に細く切り出した素子領域の側面部をチャネルとして利用するFinFETに関しては、非特許文献2に記載されている。

【0007】

図29は、従来例のMOSFETから構成されるCMOSインバーター（インバーターチェイン）の典型的なレイアウト例である。このCMOSインバーターにおいて、ゲート電極領域201は、Pチャンネル型MOSFET (pFET) のドレイン領域203及びNチャンネル型MOSFET (nFET) のドレイン領域202、ゲート電極のパッド領域209に接続される。このpFETのソース領域205及びnFETのソース領域204は複数並列に設けられ、また、nFETのドレイン領域202及びpFETのドレイン領域203も同様に複数並列に設けられる。電源電圧 (Vcc) を供給する金属線206はpFETのソース領域205にパッド領域208を介して接続され、また、接地電圧 (Vss) を供給する金属線207はnFETのソース領域204にパッド領域208を介して接続される。このように、ゲート電極201は一つの素子領域に一本だけが配置されており、これがこの場合はnFET側とpFET側とでゲート電極のパッド領域209を共有する形になっている。この場合、ゲート電極をnFET側とpFET側で分離して、

それぞれに金属配線206または207を接続することも可能である。また隣同士のMOSFETのゲート長をLg、素子分離幅210をLi、ソース領域の(チャネル長方向)長さをLs、ドレイン領域の(チャネル長方向)長さをLdとした時に一つにCMOSインバーターあたりの占める面積は(Li+Ls+Ld+Lg)に比例し、これでインバーター同士のピッチが決まることになる。

### 【0008】

一方、特許文献1においては、CMOS論理LSIの高集積化におけるゲート長の微細化に伴うゲート抵抗増加を抑えるために、ゲート電極がソース又はドレイン領域の周辺領域を囲み、電気的に閉ループ形状とした技術について開示されている。

【特許文献1】特開平7-202146一号公報(第1図)

【非特許文献1】Y.-K. Choi, et al. : IEDM 2001 Tech. Dig. p. 421

【非特許文献2】D. Hisamoto et al. : IEDM 1998 p. 1032

### 【発明の開示】

#### 【発明が解決しようとする課題】

### 【0009】

しかしながら、このサイドウォールパターントランスマスク法によって形成されたゲートパターンはダミーパターンの周囲全体に側壁部を形成することになるから、従来の一直線のゲート電極の形とは異なってダミーパターンの形状に沿って環状に接続されたものになる。

### 【0010】

従って従来のゲート電極構造を用いたMOSFETのレイアウトをそのまま用いて形成することはできず、もしそれを用いようとした場合にはさらにゲート電極の加工プロセスの追加が必要となってしまっていた。逆説的に言えば、サイドウォールパターントランスマスク法によるゲート電極そのままの形を用いようとすると従来のトランジスタのレイアウトではインバーターなどの基本的な論理回路を構成できないことが明らかである。

### 【0011】

従って、本発明は以上に述べた事情に鑑みてなされたものであり、その目的とするところは、サイドウォールパターントランスマスク法による微細ゲート形成工程を採用した場合でも、論理回路を構成できるようにした半導体装置及びその製造方法を提供するものである。

#### 【課題を解決するための手段】

### 【0012】

上記目的を達成するため、本願発明の一態様によれば、ソース領域、前記ソース領域と同じ素子領域に設けられたドレイン領域、及び環状に形成されたゲート電極領域、を有する第一のトランジスタと、前記環状に形成されたゲート電極領域を共有し、前記第一のソース領域若しくは前記第一のドレイン領域と共有した前記第二のトランジスタと、を有することを特徴とする半導体装置が提供される。

### 【0013】

また、本願発明の一態様によれば、半導体装置において、第一導電型トランジスタのソース領域及びドレイン領域を複数有する第一の素子領域と、前記第一の素子領域上に環状に形成された複数の第一導電型トランジスタのゲート電極領域と、第二導電型トランジスタのソース領域及びドレイン領域を複数有する第二の素子領域と、前記第二の素子領域上に環状に形成され、各々前記第一導電型のゲート電極領域に電気的に接続された複数の第二導電型トランジスタのゲート電極領域と、前記第一の素子領域のソース領域の少なくとも一つに第一の電圧を供給する第一の配線と、前記第二の素子領域のソース領域の少なくとも一つに第二の電圧を供給する第二の配線と、前記第一及び前記第二の素子領域のドレイン領域及び前記第一導電型及び第二導電型のゲート電極領域に電気的に接続された第三の配線と、を有する半導体装置が提供される。

## 【0014】

上記目的を達成するため、本願発明の一態様によれば、ダミーゲートパターンを前記堆積されたハードマスク材料上に形成する工程と、前記ダミーゲートパターン上に側壁形成のための材料を堆積する工程と、側壁形成のための側壁残しエッチングする工程と、前記ダミーパターンを選択的に除去する工程と、ゲート電極と金属配線を結ぶ領域を形成するためのリソグラフィ工程と、ゲート電極領域のハードマスクを加工する工程と、レジストを除去する工程と、そのハードマスクでゲート電極領域を加工する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。

## 【0015】

ここで、第1導電型と第2導電型とは互いに反対導電型である。すなわち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。

## 【発明の効果】

## 【0016】

以上説明したように、本発明に係る半導体装置及びその製造方法によれば、サイドウォールパターントランスファー法による微細ゲート形成工程を採用した場合でも、論理回路を構成できるようにした半導体装置及びその製造方法を提供することができる。

## 【発明を実施するための最良の形態】

## 【0017】

本発明に係る半導体装置の実施形態について、図面を参照しながら詳細に説明する。図1は、第1の実施形態の半導体装置のレイアウトを示す図面である。この半導体装置は、2つの素子領域（図の点領域）が各々形成され、その上にゲート電極領域101が設けられている。このゲート電極領域101に囲まれた素子領域102はnFETのドレイン領域102を構成し、また、素子領域103はpFETのドレイン領域103を構成する。また、各素子領域であって、ゲート電極領域101に囲まれていない領域は、ソース領域を構成する。すなわち、素子領域であって、ゲート電極領域101に囲まれていない領域104はnFETのソース領域104を構成し、また、素子領域であって、ゲート電極領域101に囲まれていない領域105はpFETのソース領域105を構成する。nFETのソース領域104は接地配線107にコンタクト領域108aを介して接続され、また、pFETのソース領域105は電源配線106にコンタクト領域108bを介して接続される。図面の中央に複数設けられた配線111は、コンタクト領域108cを介してnFETのドレイン領域102と接続され、コンタクト領域108dを介してpFETのドレイン領域103と接続される。また、配線111は、ゲート電極領域101にパッド109を介して接続される。

## 【0018】

このように、本実施形態に係る半導体装置においては、ゲート電極領域101をサイドウォールパターントランスファー法によって形成したため、ゲート電極領域101は環状になっている。そして、その環状のゲート領域の一部に金属配線との接続領域としてパッド109を設けたものである。また、本実施形態に係る半導体装置においては、インバーターチェインを構成している。従って、ソース領域104、105は次段のインバーターと共有している。

## 【0019】

このような構造にしたため、ドレイン領域の面積が従来型と同じならば、接合容量を駆動する電流は従来型のMOSFETの2倍となるため遅延時間の改善がなされる。更に、ゲートを環状にすることで機械的な強度を補強できるので極微細ゲート領域101のパターンが倒れることを防止でき、かつ2本のゲート電極がパラレルに接続されることになるのでゲート電極の寄生抵抗の低減がなされることになる。また、環状のゲート電極を用いることで、サイドウォールパターントランスファーによるゲート電極形成プロセスに適したMOSFETを構成できる。

## 【0020】

このように、ドレイン領域が環状に接続されたゲート電極領域で囲まれた領域内に形成されることで、ドレイン領域を環状ゲート電極の内側にすることで、見かけ上接合容量の寄与を減らすことができ、高速化に寄与する。

#### 【0021】

ここで、nFETを構成する環状ゲート電極領域の形状とpFETを構成する環状ゲート電極領域の形状が非対称であり、nFETの素子領域とpFETの素子領域も非対称形であるようにしても良い。これによって、nFETとpFETの実効チャネル幅の比を非対称なゲート形状を用いることと非対称な素子形状によって調節できる。

#### 【0022】

一方、ソース領域が環状に接続されたゲート電極領域で囲まれた領域の外に形成されることで、ソース領域はゲート電極の外側に配置することによって、通常型のMOSFETと同じか、もしくは単位面積あたりのドレインに対して通常型の2倍の電流を流し込む構造が可能となる。

#### 【0023】

ここで、ゲート電極領域で環状に接続されている領域は、そのゲート領域の長さが素子領域上と素子分離領域上において等しくするようにしてもよい。

#### 【0024】

また、pFET側のゲート電極領域とnFET側のゲート電極領域とが、それらを構成する材料からなる領域で接続するようにしてもよい。例えば、ポリシリコンやサリサイドが含まれる。

#### 【0025】

また、本実施形態における半導体装置の基板はbulk基板を用いても良く、SOI基板を用いても良い。

#### 【0026】

この図1のインバーターチェインの場合、従来技術である図29における素子分離領域210に相当する領域を省略できるため、ソース領域の（チャネル長方向）長さをLs'、ドレイン領域の（チャネル長方向）長さをLd'とした時に一つにCMOSインバーターあたりの占める面積は  $(Ls' / 2 + Ls' / 2 + Ld') = (Ls' + Ld')$  に比例する。

#### 【0027】

従って、デザインルールによってはたとえば  $Ls < Ls'$ 、 $Ld < Ld'$  であっても素子分離領域分に相当する面積分を縮小したレイアウトにすることも可能であり、高集積化にも寄与する。

#### 【0028】

さらに、先行技術文献1で記載された技術においては、1つの閉ループゲート領域が1つのゲートの役割をなしている。すなわち、先行技術文献1の図1においては、1つの閉ループの1辺のみがゲートの役割をなしているのに対して、本実施形態においては、1つの閉ループの2辺がゲートの役割をなしている点で異なる。これにより、レイアウト面積を小さくすることができる効果がある。

#### 【0029】

図2は第2の実施形態に係る半導体装置のレイアウトを示す図であり、3入力否定論理積ゲート（Three-way NAND gate）のレイアウトを示す実施形態である。この半導体装置は、図面の右側に複数設けられた素子領域104及び図面左側に素子領域105が各々形成されており、その上に複数のゲート電極領域101が設けられている。ゲート電極領域101に囲まれた素子領域102はnFETのドレイン領域102を構成し、また、素子領域103はpFETのドレイン領域103を構成する。また、各素子領域であって、ゲート電極領域101に囲まれていない領域は、ソース領域を構成する。すなわち、ゲート電極領域101に囲まれていない領域104はnFETのソース領域104を構成し、また、ゲート電極領域101に囲まれていない領域105はpFETのソース領域105を構成する。

## 【0030】

n FETのソース領域104は接地配線107にコンタクト領域108aを介して接続される。また、p FETのソース領域105は各々電源配線106にコンタクト領域108bを介して接続される。配線111a及び111bは、コンタクト領域108cを介してn FETのソース領域104と接続され、コンタクト領域108dを介してn FETのドレイン領域102と接続される。また、配線111cは、コンタクト領域108eを介して3つのp FETのドレイン領域103と接続され、コンタクト領域108fを介してn FETのドレイン領域102と接続される。また、p FET側のゲート電極領域とn FETのゲート電極領域とを接続する複数の配線111dは、ゲート電極領域101にパッド109を介して接続される。3つの配線領域113はビア領域112を介して配線111dに接続される。

## 【0031】

この3入力否定論理積ゲート回路の場合は隣り合うn FETは直列に、隣り合うp FETは並列に接続される。図3でp FET側のソース領域105は隣のFET同士で共有して接続されているが、これは隣同士が素子分離領域で分離されていてもよい。また、n FET側は回路の構成上、ソース領域104、ドレイン領域102ともそれぞれのMOSFETごとに分離される。

## 【0032】

ここで、ドレイン領域の上部に、ドレインに接続される以外の金属配線層が配置することで、ドレイン領域の上方にゲート電極に対する配線を這わせて、ゲート抵抗を低減することができる。

## 【0033】

この3入力否定論理ゲートへの入力は第2層の配線である配線113を介して、ビア領域112、第1金属配線層である配線111d、及びパッド109を経てゲート電極101に接続される。また、この場合にはn FETのドレイン電極領域からの出力は次段のn FETのソース領域2箇所に入力される。また、この図2のレイアウトでn FETとp FETを入れ替えれば同じようにしてNOR型論理ゲート回路を構成できるので、NOR回路においてもサイドウォールパターントランスマスクによるゲート電極形成が可能となる。

## 【0034】

図3は、第3の実施形態に係る半導体装置のレイアウトを示す図であり、カレントミラー型差動アンプなどに一部で使われている共通ゲートのpair-MOSFET素子のレイアウトを示す図である。本実施形態においては、ゲート領域101に囲まれる素子領域が複数に分離している実施形態である。ゲート電極領域101に囲まれた素子領域102a及び102bはn FETのドレイン領域102a, 102bを構成する。また、ゲート電極領域101に囲まれていない領域は、n FETのソース領域104a, 104bを構成する。n FETのソース領域104a, 104bは、接地配線107にコンタクト領域108a, 108bを介して接続される。配線111a及び111bは、それぞれ、コンタクト領域108c及び108dを介してn FETのドレイン領域102a, 102bと接続される。また、配線111a, 111bは、n FETのドレイン領域102a, 102bにコンタクト領域108c, 108dを介して接続される。配線113は、ゲート電極領域101にパッド109を介して接続される。

## 【0035】

このように、環状に形成されたゲート電極領域101内に分割された2つのドレイン領域102を有し、それぞれ異なった出力端子に接続されるようにしてある。ソース領域104の電位は共通になっている場合もあるし、別々の場合もあるが、それは金属配線107の接続方法次第で変更できる。このようにするとサイドウォールパターントランスマスクによるゲート電極生成が可能で微細なゲート長を実現できる。

## 【0036】

図4は、第4の実施形態の半導体装置を示す図であり、FinFETによるCMOSイ

ンバーターレイアウトを示したものである。FinFETは3次元型のMOSFETの一種で、短冊状に細く切り出した素子領域の側面部をチャネルとして使うものである。

#### 【0037】

この半導体装置は、短冊状に複数設けられた素子領域114a及び114bが各々形成されており、その上にゲート電極領域101が設けられている。このゲート電極領域101に囲まれた素子領域102はnFETのドレイン領域102を構成し、また、素子領域103はpFETのドレイン領域103を構成する。また、ゲート電極領域101に囲まれていない領域104はnFETのソース領域104を構成し、また、ゲート電極領域101に囲まれていない領域105はpFETのソース領域105を構成する。nFETのソース領域104は接地配線107にコンタクト領域108aを介して接続され、また、pFETのソース領域105は電源配線106にコンタクト領域108bを介して接続される。配線111は、コンタクト領域108cを介してnFETのドレイン領域102と接続され、コンタクト領域108dを介してpFETのドレイン領域103と接続される。また、配線111は、ゲート電極領域101にパッド109を介して接続される。

#### 【0038】

このように、本実施形態の半導体装置においては、短冊状の素子領域を複数設けることで、素子のチャネル領域が基板面に対して垂直な面内に形成され、電流の流れる方向が基板面に対して水平方向となるような構成にした。

#### 【0039】

ここで、基板を加工する際に、RIEなどのプロセス上の制限があるために、垂直方向に切り出す高さは有限になる。その高さは典型的には数+nm程度から $1\mu\text{m}$ 以下のオーダーになるが、それ以外でも実施可能である。この場合には外部の負荷を駆動するのに十分な電流を稼ぐためには、複数のFinから構成されるチャネル領域を形成することが好み。

#### 【0040】

一方、素子領域でチャネル部以外の部分は、コンタクト領域を取るために比較的広い活性領域を設けることが好み。従って、図4に示したようなレイアウトにすることでFinFETを用いた場合でもサイドウォールパターントランスマスターを用いて、論理回路を構成できる。FinFETのFinを形成する際にもサイドウォールパターントランスマスター技術が用いられるので、極微細なFinが形成される。

#### 【0041】

比較的広い活性領域のドレイン接合容量を低減するにはこのようなレイアウトが望ましいことは図1の場合と同様で明らかである。

#### 【0042】

ここで、単一のソース領域と、単一のドレイン領域と、基板面に対して垂直な面内に複数のチャネル領域が形成され、電流の流れる方向が基板面に対して水平方向であり、かつチャネル領域が動作時に空乏化しているようにしてもよい。

#### 【0043】

また、nFETとpFETの実効チャネル幅の比 $\beta$  ( $=W_p/W_n$ ) はFinFETの場合ではFinの本数を変更することで変化することができる。すなわち、

$$W_p = (\text{Finの高さ}) * 2 * (\text{pFET側のFinの本数})$$

$$W_n = (\text{Finの高さ}) * 2 * (\text{nFET側のFinの本数})$$

と表すことができる。ここで、当該Finの高さを同じと仮定すると、実効チャネル幅の比は、pFET側のFinの本数とnFET側のFinの本数との比となる。

#### 【0044】

従って、インバーターに適した $\beta$ 値と後述するNANDゲートなどに適した $\beta$ 値は異なっているのでそれらは回路に応じて異なったFinの本数を持つレイアウトにする必要がある。

#### 【0045】

ここで、リソグラフィ時の均一性、及びRIEの際の加工の均一性から使用を目的とし

ないダミーフィンを形成するようにしてもよい。すなわち、フィンを形成する際に、使用するフィンの両側に同様の形状のフィンを1個若しくは数個形成するようにする。これにより、上記のようなリソグラフィ時の均一性及びR I Eの際の加工の均一性を実現することができる。また、C M P (C hemical M echanical P o l i s h i n g) の際の過研磨による素子のダメージを実際に使用するフィンの両側に形成したダミーフィンに負わせることにより、当該過研磨によるフィンのダメージを防止することができる。

#### 【0046】

図5は、図4に示したI-I断面におけるn F E Tもしくはp F E Tにおける断面を示す図である。この半導体装置は、基板領域117上に、埋め込み酸化膜(BOX)領域116を有し、この埋め込み酸化膜領域116上には、複数のF i n領域114を備える。各F i n領域上には、F i n領域の上面を絶縁するためのキャップ絶縁膜領域115を備える。そして、F i n領域114及びキャップ絶縁膜領域115を覆うようにゲート電極領域101を備える。埋め込み酸化膜領域116とゲート電極領域101との間の所定領域は、これら埋め込み酸化膜領域116とゲート電極領域101が分離される領域である素子分離領域110がある。

#### 【0047】

このように、F i n F E Tの場合は基板に垂直な面だけにチャネルが形成されるようにして、上面部はチャネルを形成しないような構造にすると短チャネル効果に強い、いわゆるダブルゲート型M O S F E T素子を構成することが出来る。この場合ゲート電極領域は基板と垂直面内でチャネルを形成し、素子分離部にはさまれた領域にチャネル部とゲート電極領域が交互に形成される。F i n F E Tの各F i nに対するソース領域&ドレイン領域と金属配線部との広い接続部は一箇所大きな領域となっていて、その中には素子分離領域が形成されない。またゲート電極部のP A D部は素子分離領域上に形成される。

#### 【0048】

図6は、第5の実施形態の半導体装置のレイアウトを示す図であり、F i n F E Tによる3入力N A N D論理ゲートを構成した場合のレイアウト図を示したものである。

#### 【0049】

この半導体装置は、短冊状に複数設けられた素子領域114a及び114bが各々形成されており、その上にゲート電極領域101が設けられている。ゲート電極領域101に囲まれた素子領域102はn F E Tのドレイン領域102を構成し、また、素子領域103はp F E Tのドレイン領域103を構成する。また、各素子領域であって、ゲート電極領域101に囲まれていない領域は、ソース領域を構成する。すなわち、ゲート電極領域101に囲まれていない領域104はn F E Tのソース領域104を構成し、また、ゲート電極領域101に囲まれていない領域105はp F E Tのソース領域105を構成する。これらの構成が3つ備えるようにしてある。

#### 【0050】

2つのn F E Tのソース領域104は接地配線107にコンタクト領域108aを介して接続される。また、p F E Tのソース領域105は各々電源配線106にコンタクト領域108bを介して接続される。配線111a及び111bは、コンタクト領域108cを介してn F E Tのソース領域104と接続され、コンタクト領域108dを介してn F E Tのドレイン領域102と接続される。また、配線111cは、パッド109を介して3つのp F E Tのドレイン領域103と接続され、コンタクト領域108fを介してn F E Tのドレイン領域102と接続される。また、p F E T側のゲート電極領域とn F E Tのゲート電極領域とを接続する複数の配線111dは、ゲート電極領域101にパッド109を介して接続される。3つの配線領域113はビア領域112を介して配線111dに接続され、ゲート電極領域101に接続される。本実施形態においては、複数のビア領域112を設け、3つの配線領域113は各々2つのビア領域112を介して配線111dに接続される。

#### 【0051】

この実施形態の場合には、ゲート電極101に対して配線領域113は複数箇所でビア領域112、及びコンタクト領域を介して接続されているため、ゲート電極の寄生抵抗を低減でき、遅延時間を改善できる。更に、本実施形態ではドレイン領域の上部に配線領域113を配置することで、レイアウト面積の増大はほとんどないまま、ゲート電極に対するコンタクト領域を複数個設けることが可能になり、低抵抗化を図る事が出来る。また、この場合も図3のNAND論理ゲート回路と同様に、pFET側のソース領域は隣同士で共有化して、素子分離領域を省略することもできる。また、本実施形態で説明した図6と同様なレイアウトは、nFETとpFETを入れ替えたNOR回路にも適用することが出来る。

#### 【0052】

次に、本実施形態に係る半導体装置の製造方法について、図面を参照しながら詳細に説明する。本実施形態においては、図1で説明した半導体装置のレイアウトを持つCMOSの製造方法の一例について、順を追って説明する。

#### 【0053】

図7は、素子分離領域上に素子領域を形成したことを説明するための図面である。まず、素子分離領域120上に素子領域122を形成する。本実施形態においては、2つの素子領域を形成する。続いて、その素子領域の上面にゲート酸化膜（図示せず）を成膜する。

#### 【0054】

図8は、図7に示すI I - I I断面における断面を示す図である。図示の如く、素子分離領域120上に素子領域122を形成する。

#### 【0055】

図9は、図7に示すI I - I I断面における断面にゲート絶縁膜123を成膜した断面図である。図示の如く、素子領域122の上面部にゲート絶縁膜123を成膜する。ここで、ゲート絶縁膜には、ゲート酸化膜（例えば、SiO<sub>2</sub>）、及び、高誘電体膜が含まれる。ただし、高誘電体膜を成膜する際にCVDを用いる場合には、シリコン窒化膜122の側壁にもゲート絶縁膜が成膜されることになる。

#### 【0056】

図10は、素子分離領域120上にポリシリコンを形成した図面である。素子領域122を形成した素子分離領域120上にゲート絶縁膜（図示せず）を形成し、その後、ゲート電極となるポリシリコン124を成膜する。ここで、このポリシリコン124に用いられる材料は、ポリシリコンゲルマ、または、ポリシリコン・ポリシリコンゲルマの積層構造などが含まれる。

#### 【0057】

図11は、図10のI I I - I I I断面における断面を示す図である。図示の如く、素子分離領域120上に素子領域122を形成し、素子領域122の上面部にゲート絶縁膜123を成膜した状態で、次に、ゲート電極となるポリシリコン124を成膜する。本図においては、このポリシリコン124の上部表面は平坦化しているが、実際にはこのように平坦にはならないことがある。ここでは、図示の便宜上、平坦化して示した。

#### 【0058】

図12は、ハードマスク材料となる膜を成膜した後に、ダミーパターンを形成した図である。この工程では、ポリシリコン（図示せず）の上部にハードマスクとなる材料125と更にそれとエッチング選択比の大きな材料126を順次堆積する。ここで、ハードマスクとなる材料にはSiO<sub>2</sub>とSiNの積層構造を用いることができる。また、このハードマスクとなる材料とエッチング選択比の大きな材料には、TEOS（Tetraethyl orthosilicate Tetraethoxysilane）を用いることができる。その後、TEOS層に対してリソグラフィでパターニングしてダミーパターン126を形成する。

#### 【0059】

図13は、図12のIV - IV断面における断面を示す図である。図示の如く、ポリシリコン

リコン124の上にハードマスクとなる材料125と更にそれとエッチング選択比の大きな材料を順次堆積し、パターニングによりダミーパターン126を形成する。

#### 【0060】

図14は、ダミーパターンに側壁を形成する材料を成膜した図である。この工程では、ダミーパターンを形成した後にダミーパターンに側壁を形成する材料127を成膜する。ここで、この材料127には、例えば、アモルファスシリコンを用いることができる。

#### 【0061】

図15は、図14のV-V断面における断面を示す図である。図示の如く、ダミーパターン126を形成した後にダミーパターン126に側壁を形成する材料127を成膜する。

#### 【0062】

図16は、ダミーパターンの側壁を残してRIE (R e a c t i v e l o n E t c h i n g)を行った図である。この工程では、材料127に対して側壁残してRIEを行って、ダミーパターン123の周囲にアモルファスシリコンからなる側壁を形成する。

#### 【0063】

図17は、図16のVI-VI断面における断面を示す図である。図示の如く、ダミーパターン126の側壁に側壁材料127が形成される。

#### 【0064】

図18は、図16のVI-VI断面における断面からダミーパターン126を取り除いた断面図である。図示の如く、ダミーパターン126となっていた領域がエッチングにより取り除かれ、側壁として設けられた材料127が残っている。

#### 【0065】

図19は、レジストパターンを形成した図である。この工程では、ダミーパターンとなっていたTEOS領域を選択的にエッチングし、残ったアモルファスの側壁領域127をマスクにしてSiNハードマスクにパターンを転写する。ここではRIEを行ってマスク材を加工する。

#### 【0066】

図20は、図19のVI VI-VI VI断面における断面を示す図である。図示の如く、側壁材料127をマスクとしたパターニング処理により、所定の部分に材料125が残される。細線ゲート電極が必要な場合はこの材料125の寸法をさらに縮小する工程を追加することもできる。

#### 【0067】

図21は、レジストパターンを形成した図である。この工程では、ゲート電極のコンタクト領域となる部分をレジストでパターニングする。

#### 【0068】

図22は、図21のVI VI VI-VI VI VI断面における断面を示す図である。ゲート電極のハードマスクのパターンの一部はゲート電極のコンタクト領域と接しなくてはならないため、レジスト領域128で一部を覆われることになる。コンタクト領域128はこの例では左右のゲート電極を同時に覆っているが、各ゲート電極に対してそれぞれ設けて、後で金属配線により接続してもよい。

#### 【0069】

図23は、ポリシリコン124にRIE処理を施した図である。この工程では、SiNとコンタクト領域のレジストパターンでゲート電極のポリシリコンをRIEで加工し、このような形状が得られたことが示されている。

#### 【0070】

図24は、図23のIX-IX断面における断面を示す図である。ハードマスクとなるSiN125とレジスト領域126をマスクとしてポリシリコン領域124をRIEで加工して図示のような形状を得る。

#### 【0071】

図25は、図23のIX-IX断面における断面からレジスト領域が除去された断面図

である。ここで、SiNとレジスト領域はポリシリコン上から除去されて図面の様な断面形状となる。もちろん違う断面上においては素子領域122上にポリシリコンがゲート絶縁膜を介して存在している。

#### 【0072】

図26は、図23のIX-IX断面における断面を示す図である。この工程では、図示の如く、その後は通常のMOSFETの試作工程(S/D extensionイオン注入、ゲート側壁形成、S/D領域へのイオン注入、活性化、サリサイド工程など)を経て、層間絶縁膜129を形成する。

#### 【0073】

図27に示される金属配線までを行って、この場合はインバータチェインが完成する。図28は、図26の断面図にコンタクト領域及び配線領域130が設けられた断面図である。層間絶縁膜129内のポリシリコン124bやシリコン窒化膜122に対し電気的接続を行うためのコンタクト領域及び配線領域130が設けられる。

#### 【0074】

ここで、本実施形態においては、ハードマスク材125、ダミーパターン126、及び側壁材127の材質について、それぞれ窒化シリコン、TEOS、アモルファスシリコンを用いたが、この組合せには限られない。例えば、ハードマスク材125、ダミーパターン126、及び側壁材127の材質について、窒化シリコン-TEOS-アモルファスシリコン、窒化シリコン-TEOS-アモルファスシリコンゲルマ、TEOS-アモルファスシリコンゲルマ-窒化シリコン等の組合せであってもよい。

#### 【0075】

製造工程はこの方法に限定されるわけではないし、順序を変えることが可能なものもある。またここでは、単純な矩形の素子領域を持つものに限定したが、ここで、複数のFinを持つ素子形状であっても同じような工程を経て形成することができる。

#### 【0076】

以上のように、本実施形態の半導体装置の製造方法によれば、環状のゲート電極領域をサイドウォールパターントランスマスク法によって形成したため、ドレイン領域の面積が従来型と同じならば、ドレイン接合容量を駆動する電流は従来型のMOSFETの2倍となるため遅延時間の改善がなされる。更に、ゲートを環状にすることで機械的な強度を補強できるので極微細ゲート領域101のパターンが倒れることを防止でき、かつ2本のゲート電極がパラレルに接続されることになるのでゲート電極の寄生抵抗の低減がなされることになる。また、環状のゲート電極を用いることで、サイドウォールパターントランスマスク法によるゲート電極形成プロセスに適したMOSFETを構成できる。

#### 【図面の簡単な説明】

#### 【0077】

【図1】第1の実施形態の半導体装置のレイアウトを示す図面である。

【図2】第2の実施形態に係る半導体装置のレイアウトを示す図であり、3入力否定論理積ゲートのレイアウトを示す実施形態である

【図3】第3の実施形態に係る半導体装置のレイアウトを示す図であり、カレントミラー型差動アンプなどに一部で使われている共通ゲートのpair-MOSFET素子のレイアウトを示す図である

【図4】第4の実施形態の半導体装置のレイアウトを示す図であり、FinFETによるCMOSインバーターレイアウトを示したものである。

【図5】図4に示したI-I断面におけるnFETもしくはpFETにおける断面を示す図である。

【図6】第5の実施形態の半導体装置のレイアウトを示す図であり、FinFETによる3入力NAND論理ゲートを構成した場合のレイアウト図を示したものである。

【図7】素子分離領域上に素子領域を形成したことを説明するための図面である

【図8】図7に示すII-II断面における断面を示す図である。

【図9】図7に示すII-II断面における断面にゲート絶縁膜123を成膜した断

面図である。

## 【符号の説明】

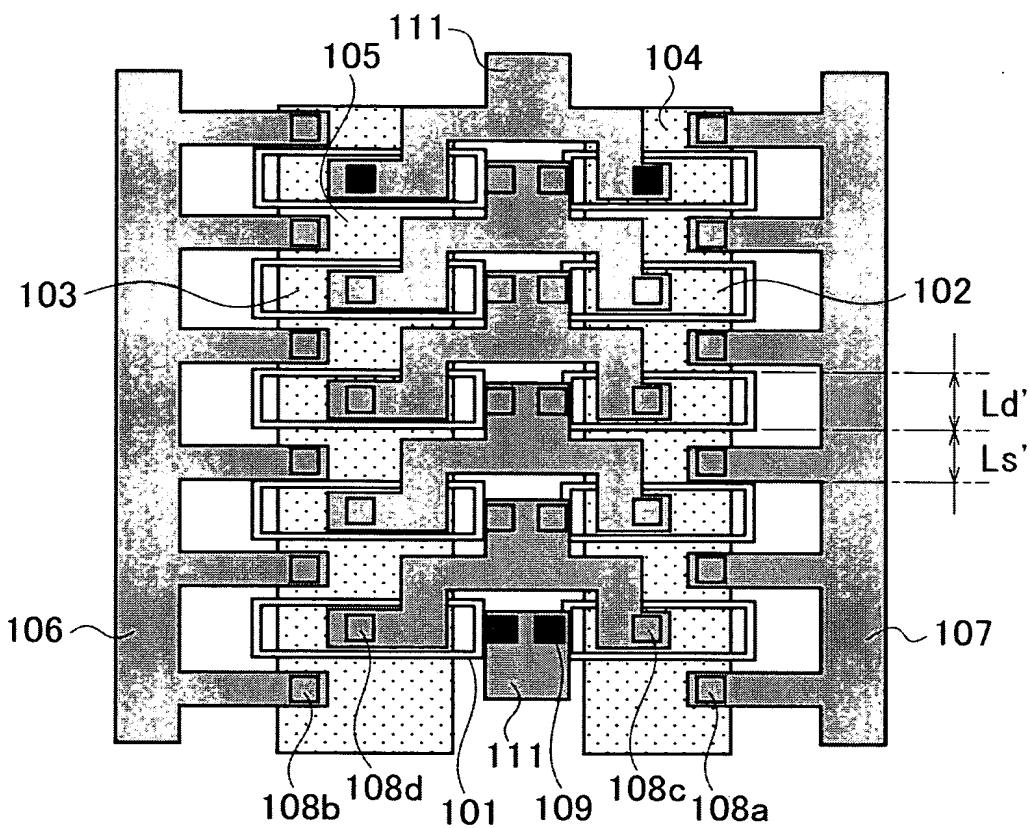
【0078】

101, 201 ゲート電極領域  
102, 108a, 108b, 202 ドレイン領域 (nFET)  
103, 203 ドレイン領域 (pFET)  
104, 108a, 108b, 204 ソース領域 (nFET)  
105, 205 ソース領域 (pFET)  
106, 206 電源配線 (Vcc)  
107, 207 接地配線 (Vss)  
108a, 108b, 108c, 108d, 108f, 108g, 108i, 208  
コントラクト領域  
109 パッド領域  
110, 120, 210 素子分離領域  
111a, 111b, 111c, 111d, 111e 配線  
112 ビア領域  
113 配線領域  
114a, 114b フィン状の素子領域  
115 キャップ絶縁膜領域  
116 埋め込み酸化膜領域  
117 基板領域  
121 素子領域  
122 シリコン窒化膜  
123 ゲート絶縁膜  
124 ポリシリコン  
125 ハードマスク材

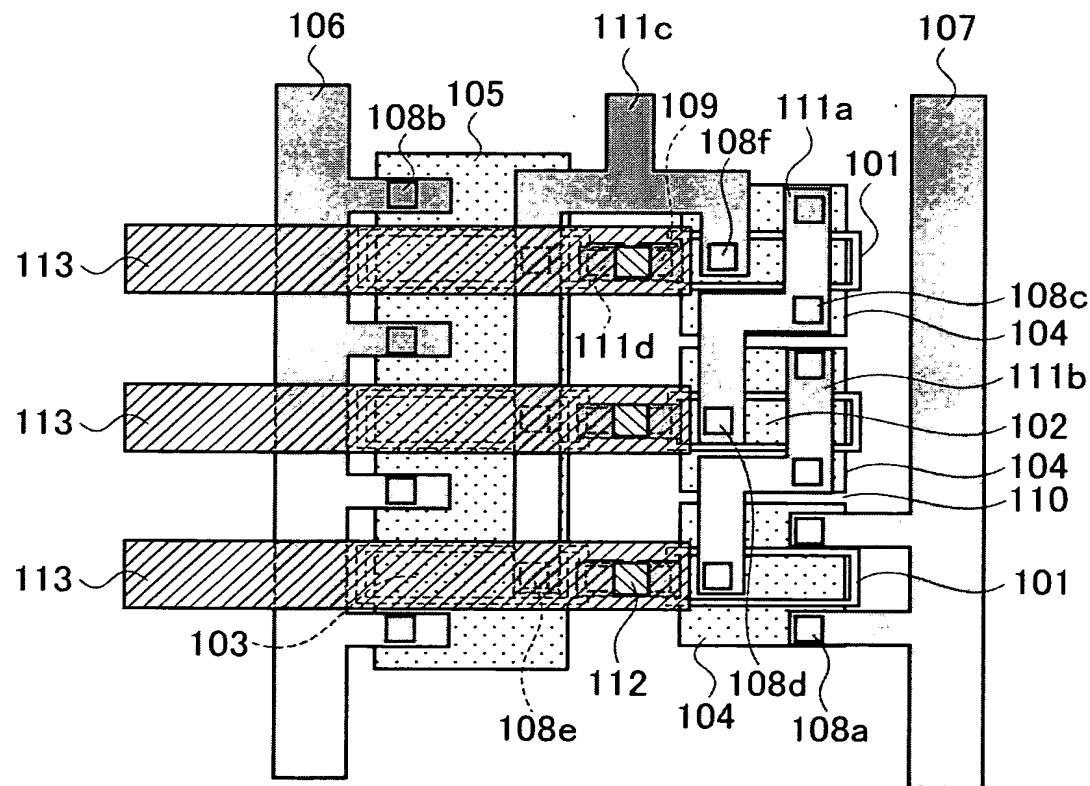
- 126 ダミーパターン
- 127 側壁材料
- 128 レジスト
- 129 層間絶縁膜
- 130 配線領域とコンタクト領域

【書類名】図面

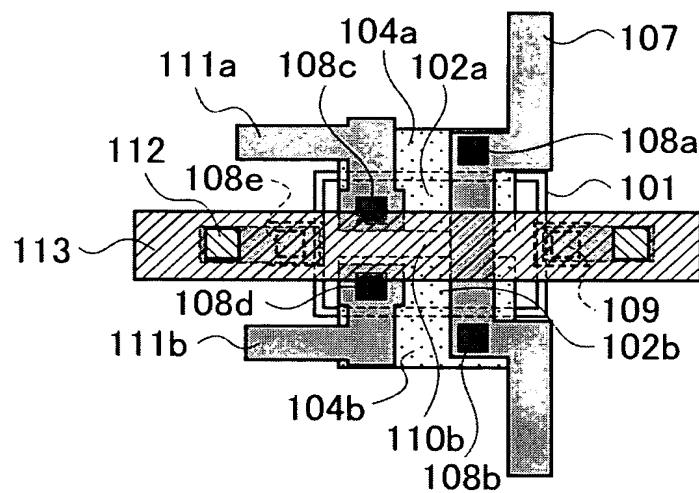
【図 1】



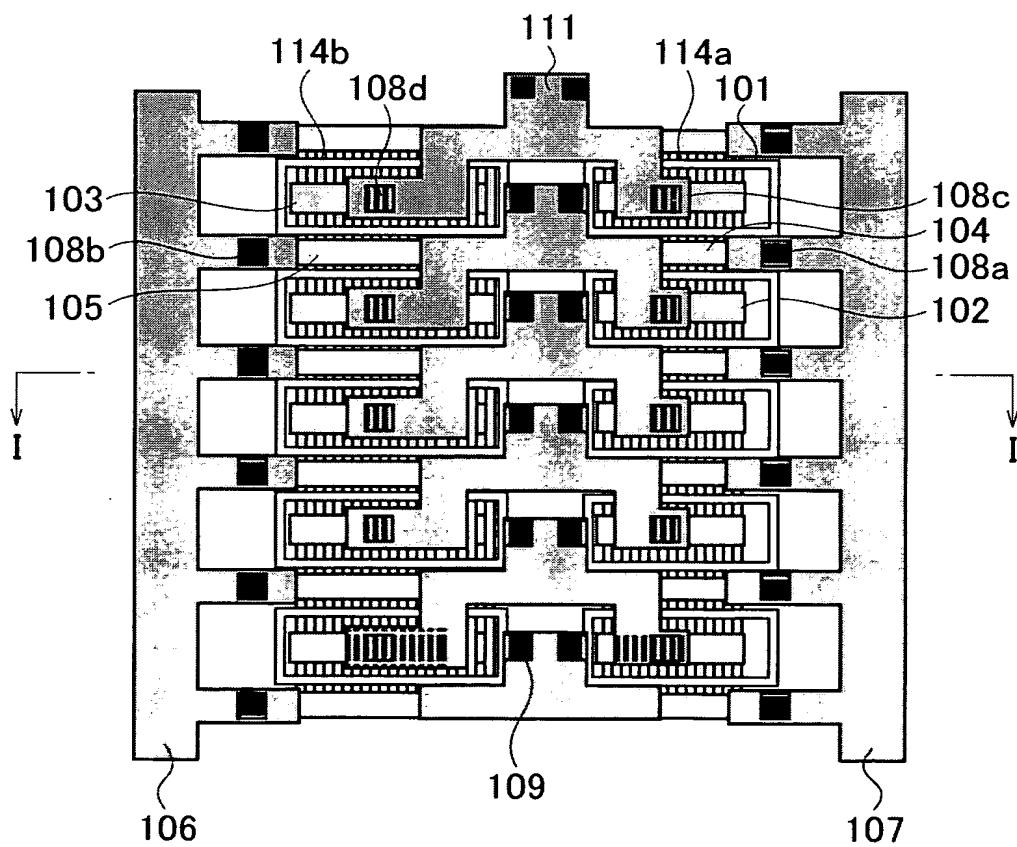
【図 2】



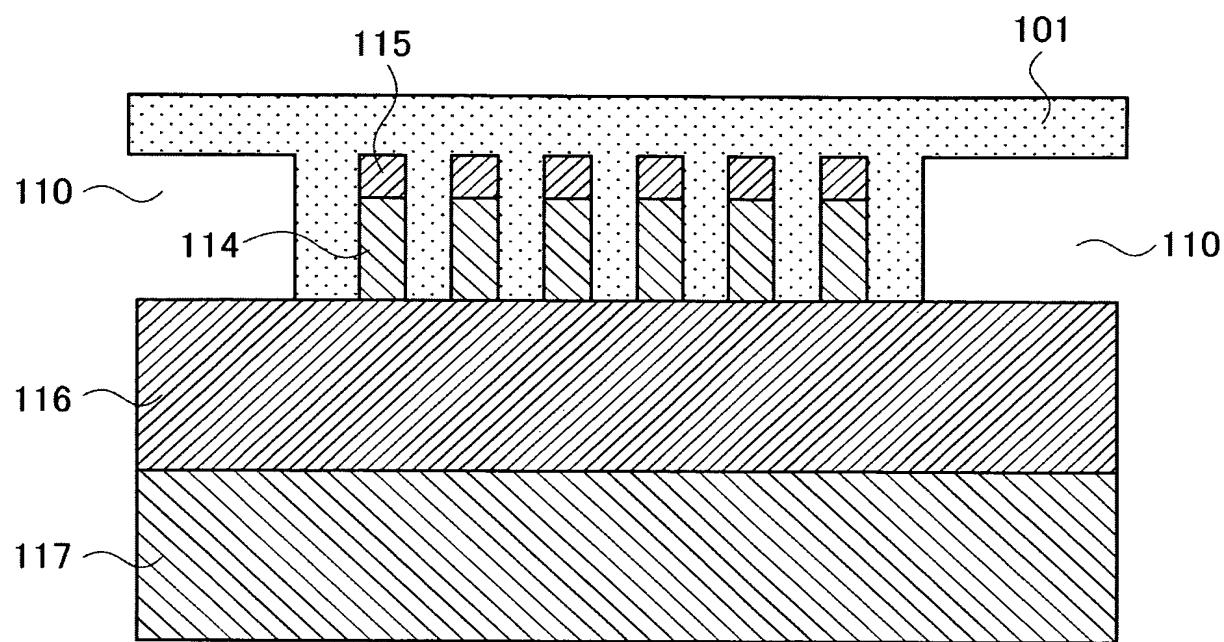
【図3】



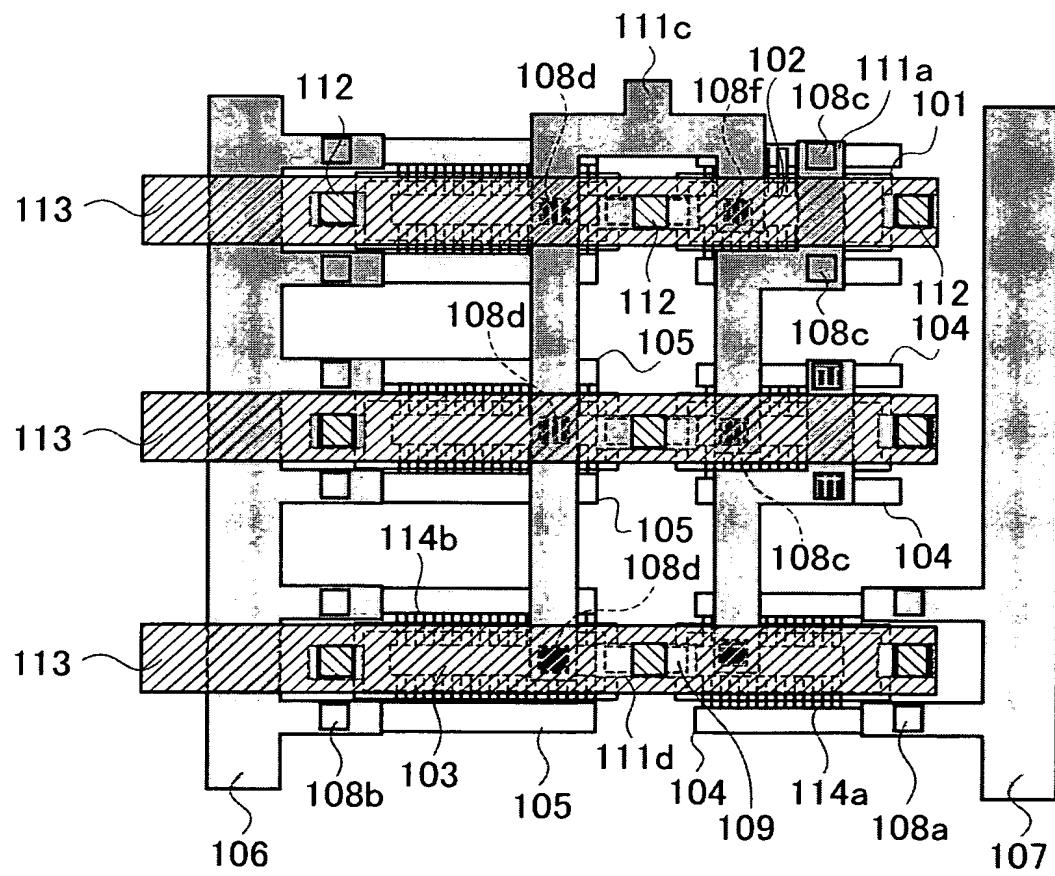
【図4】



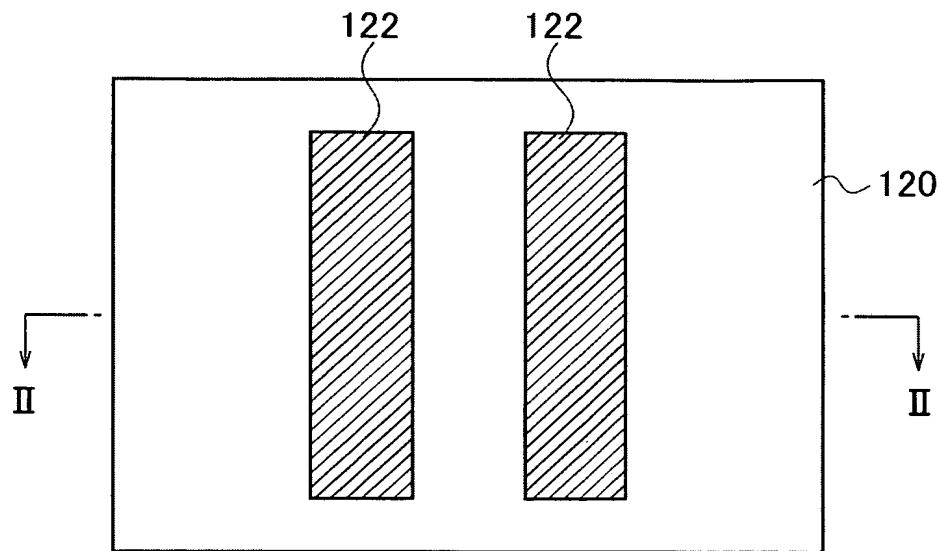
【図 5】



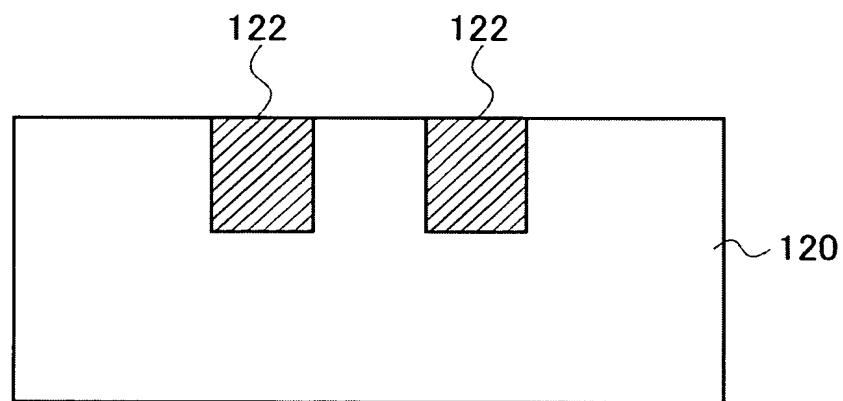
【図 6】



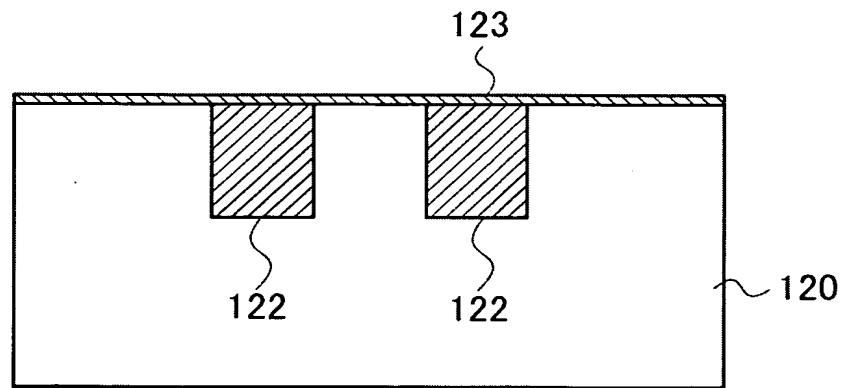
【図7】



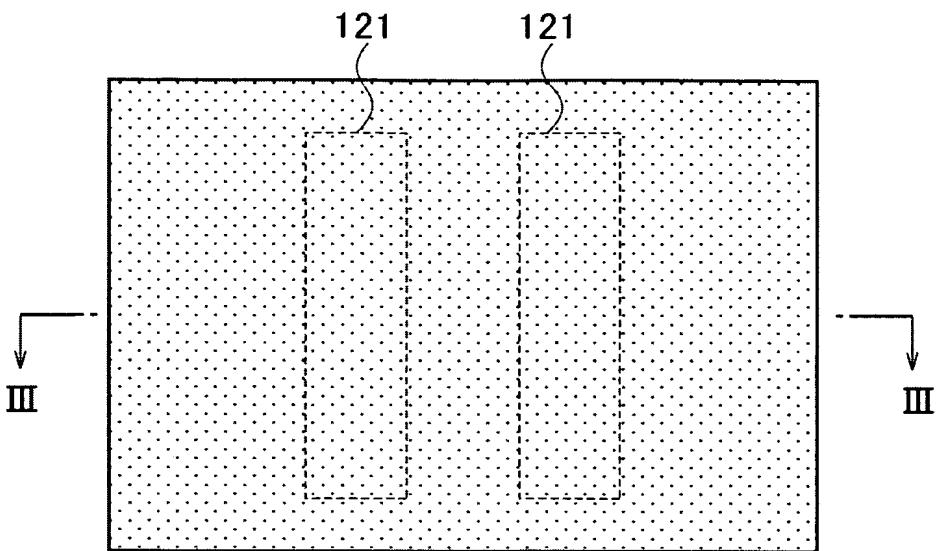
【図8】



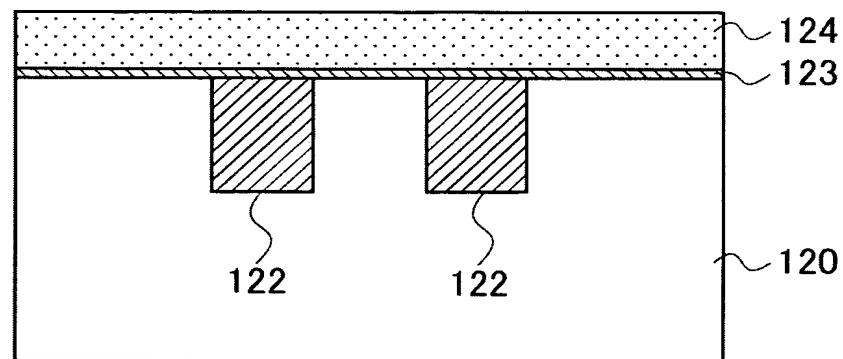
【図9】



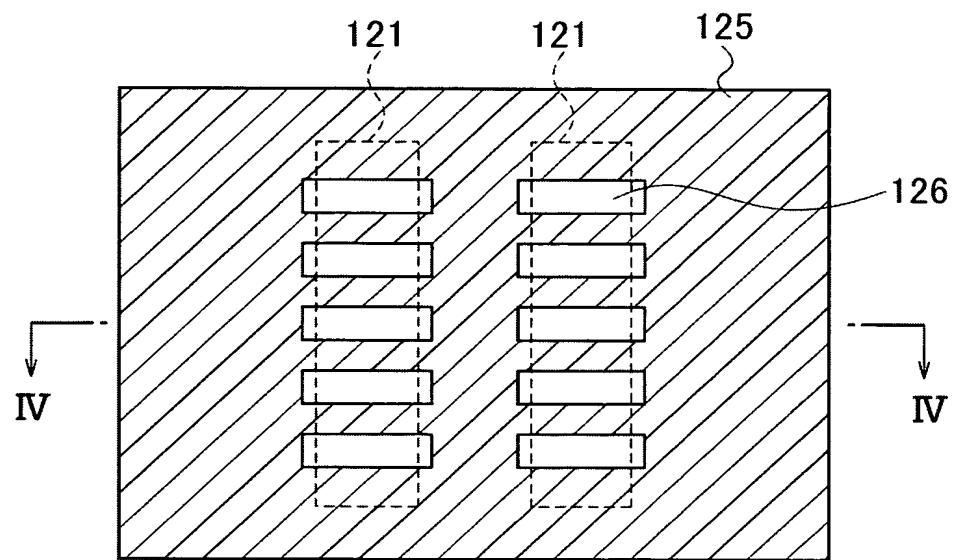
【図10】



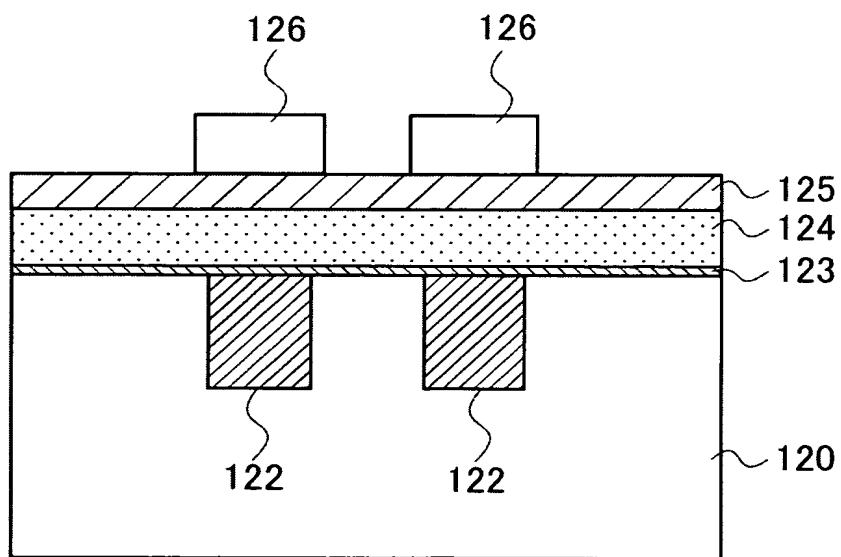
【図11】



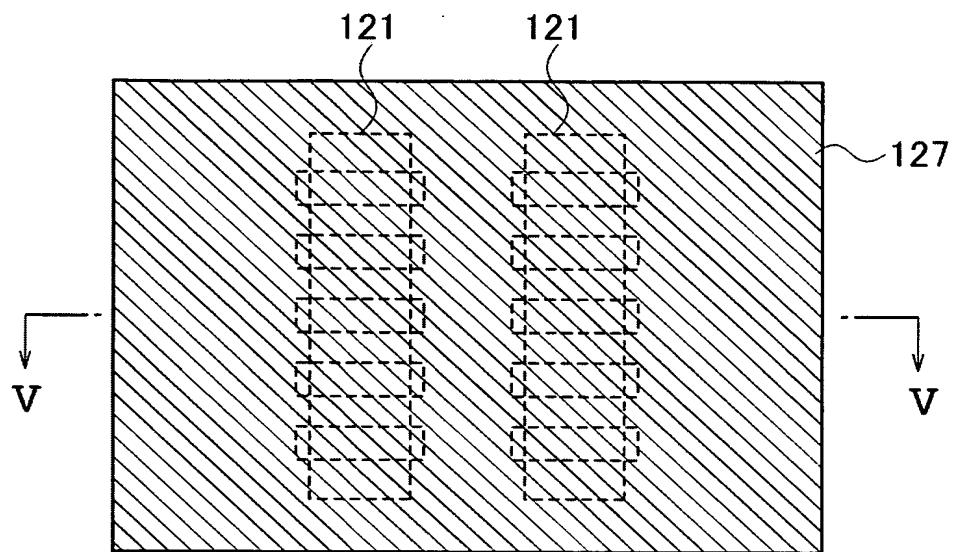
【図 12】



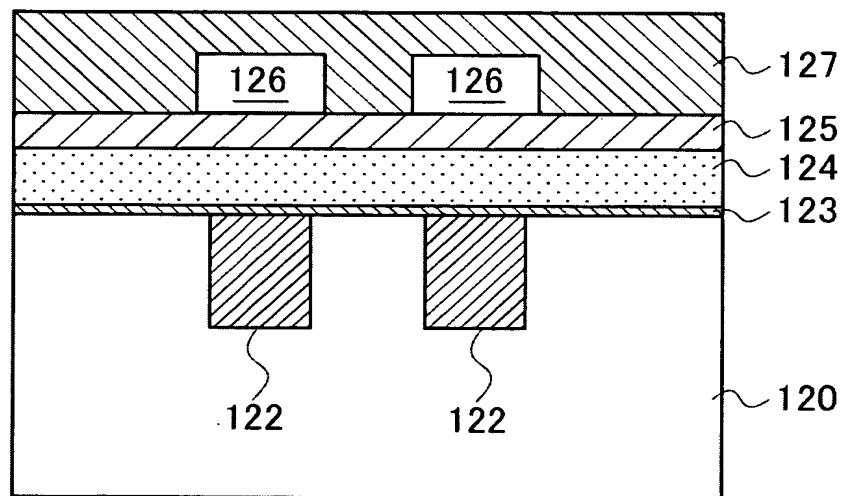
【図 13】



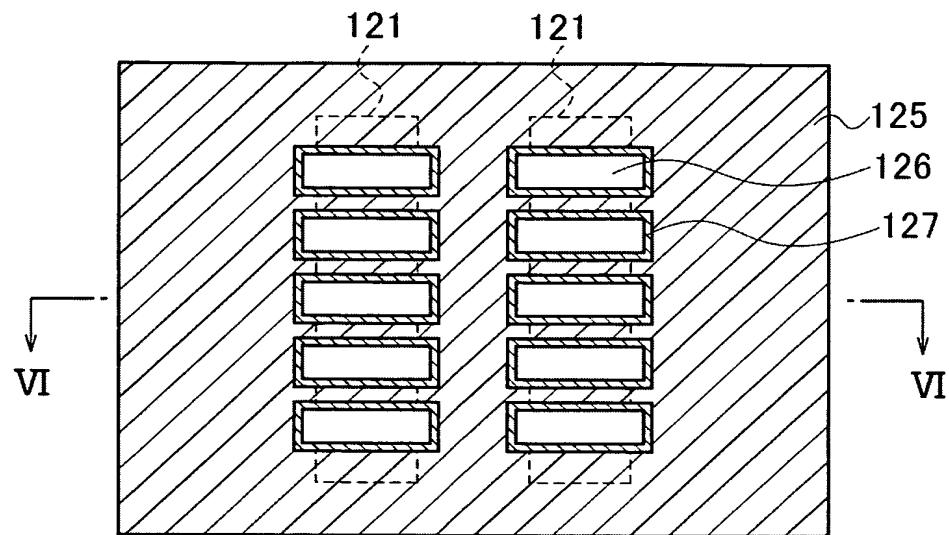
【図14】



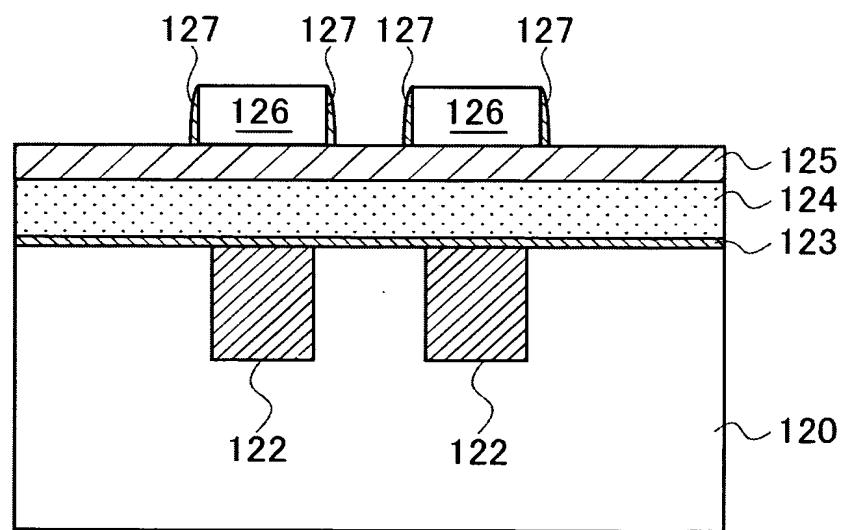
【図15】



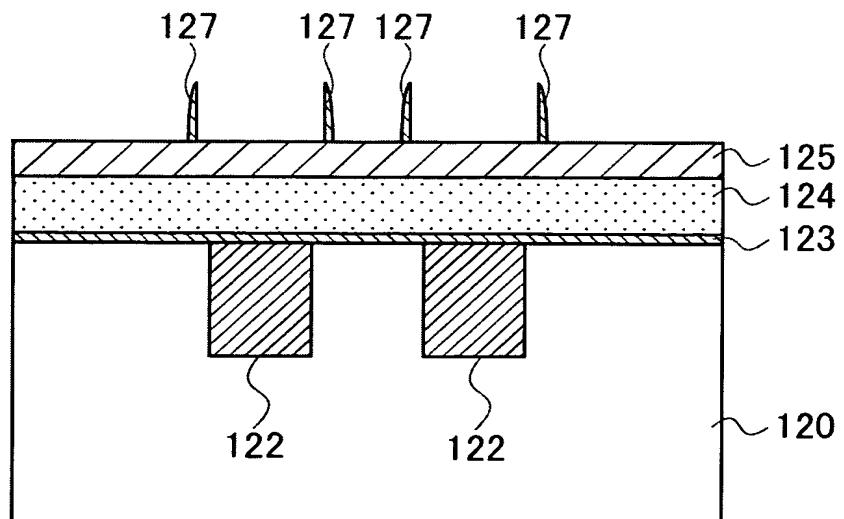
【図16】



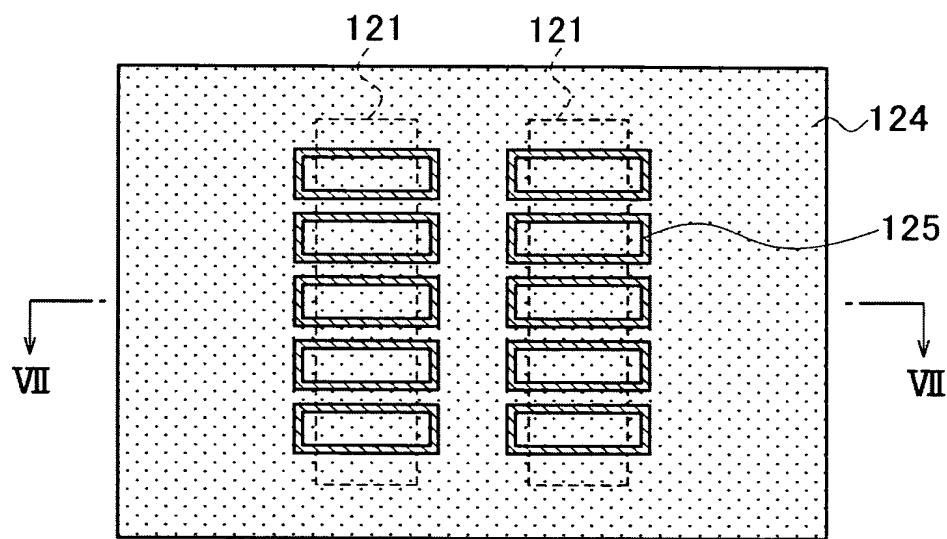
【図17】



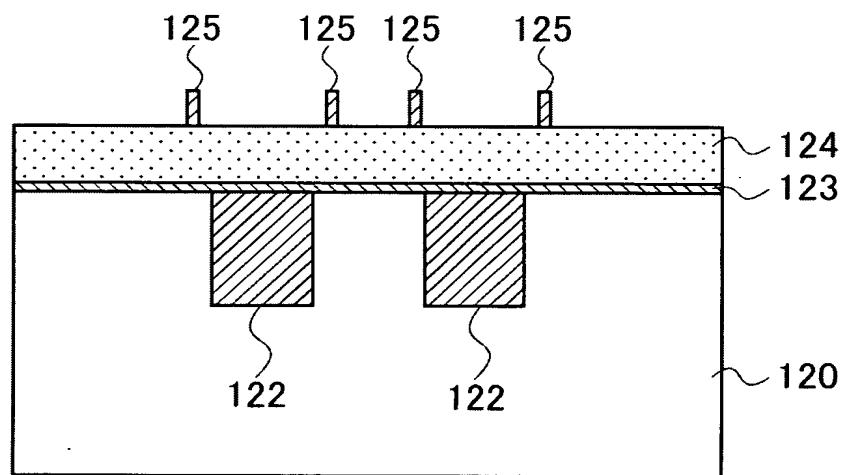
【図18】



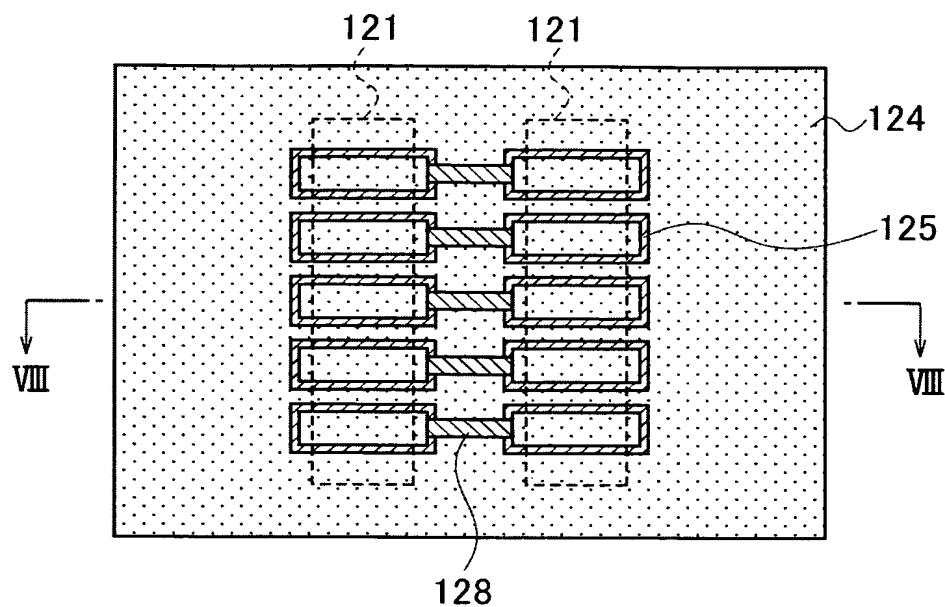
【図19】



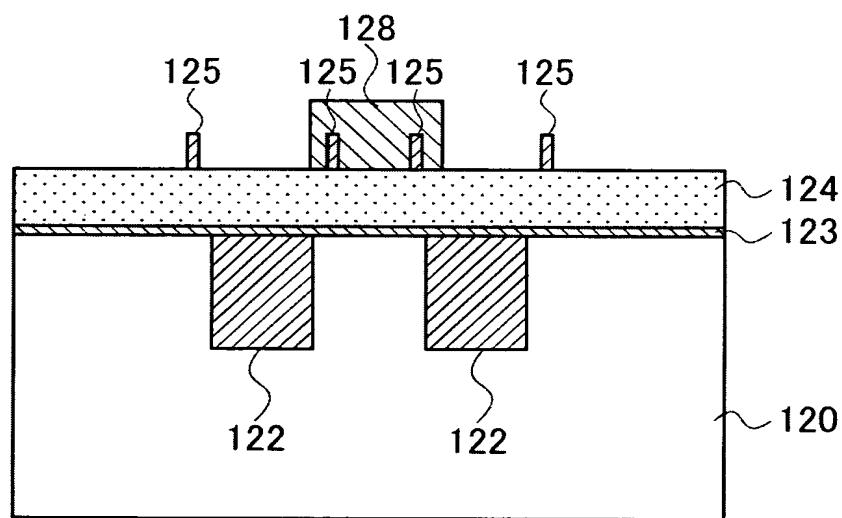
【図20】



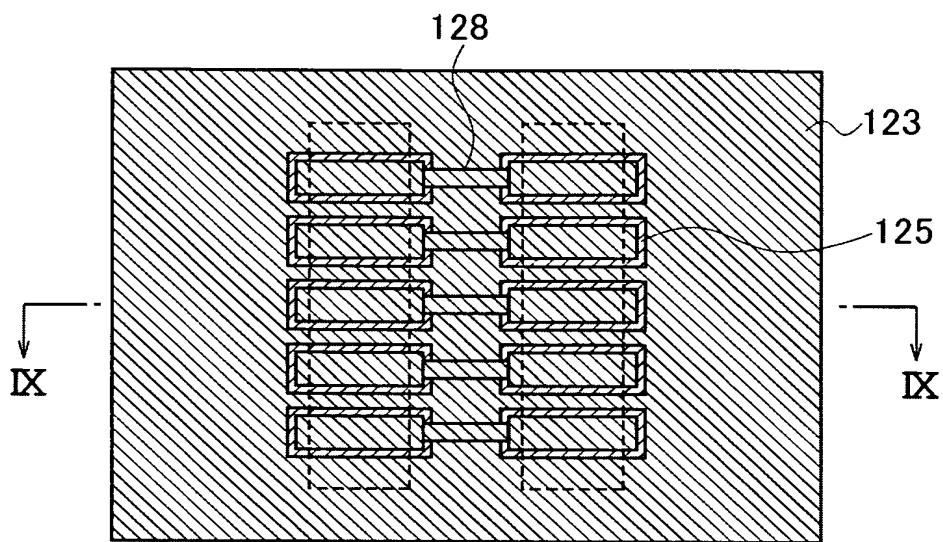
【図21】



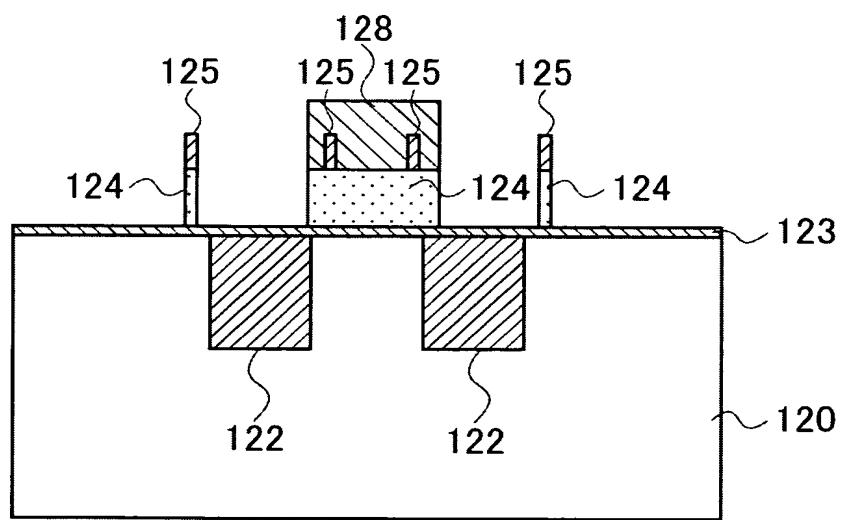
【図22】



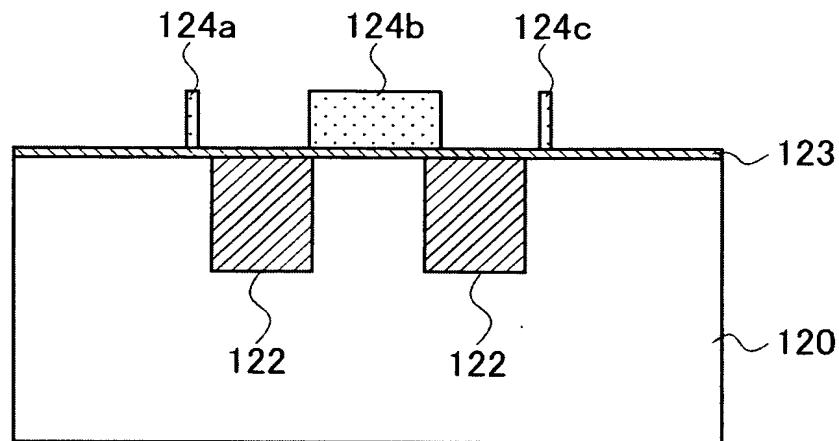
【図23】



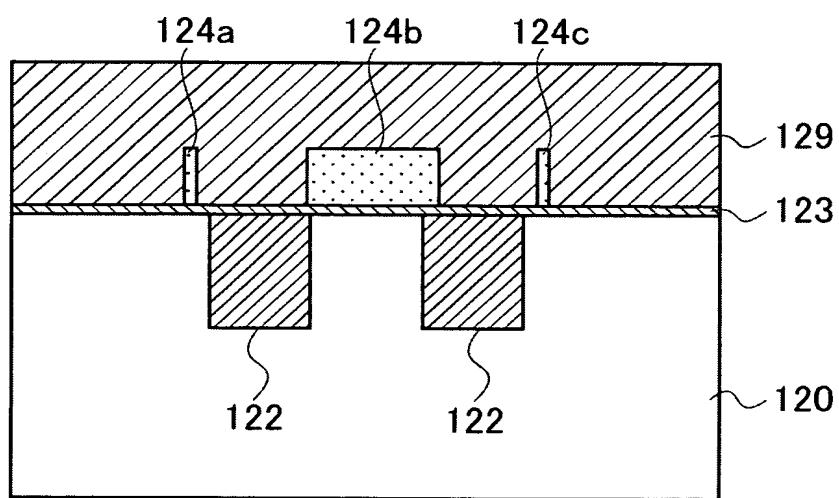
【図24】



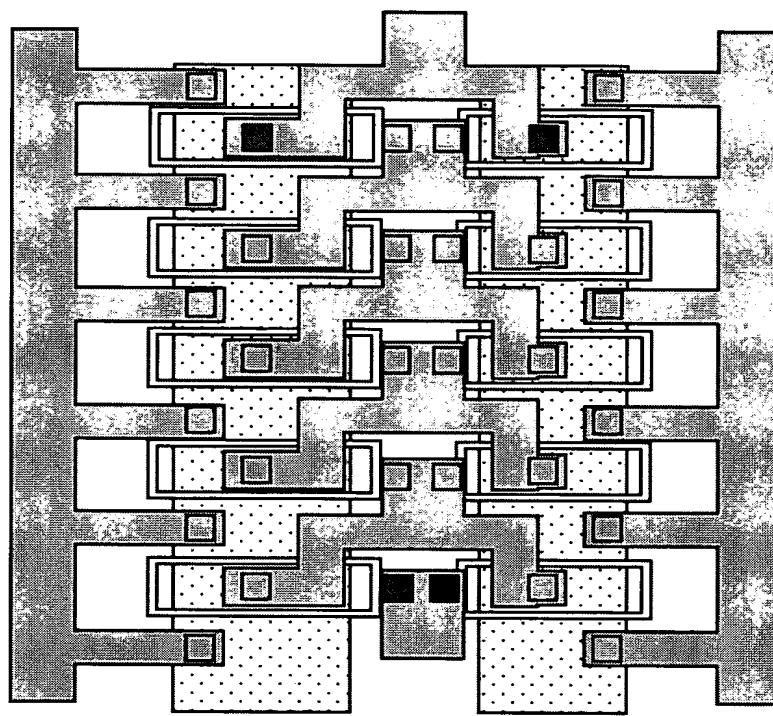
【図25】



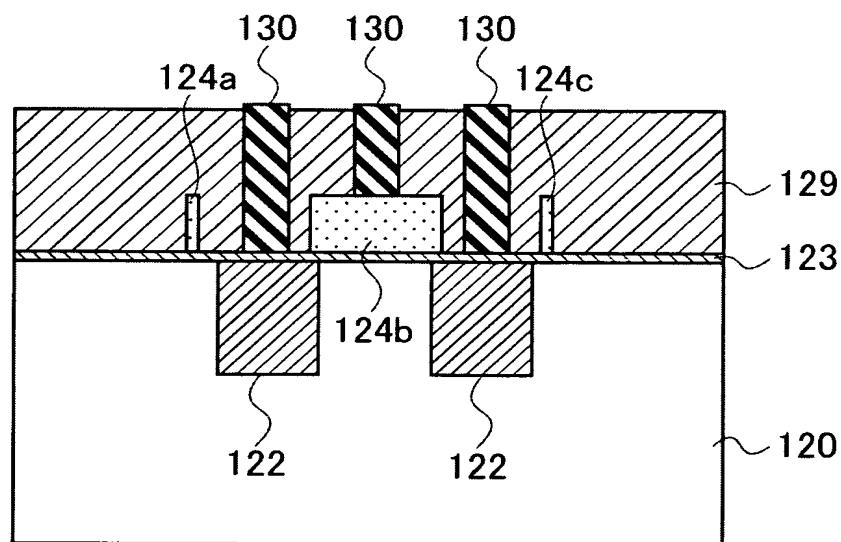
【図26】



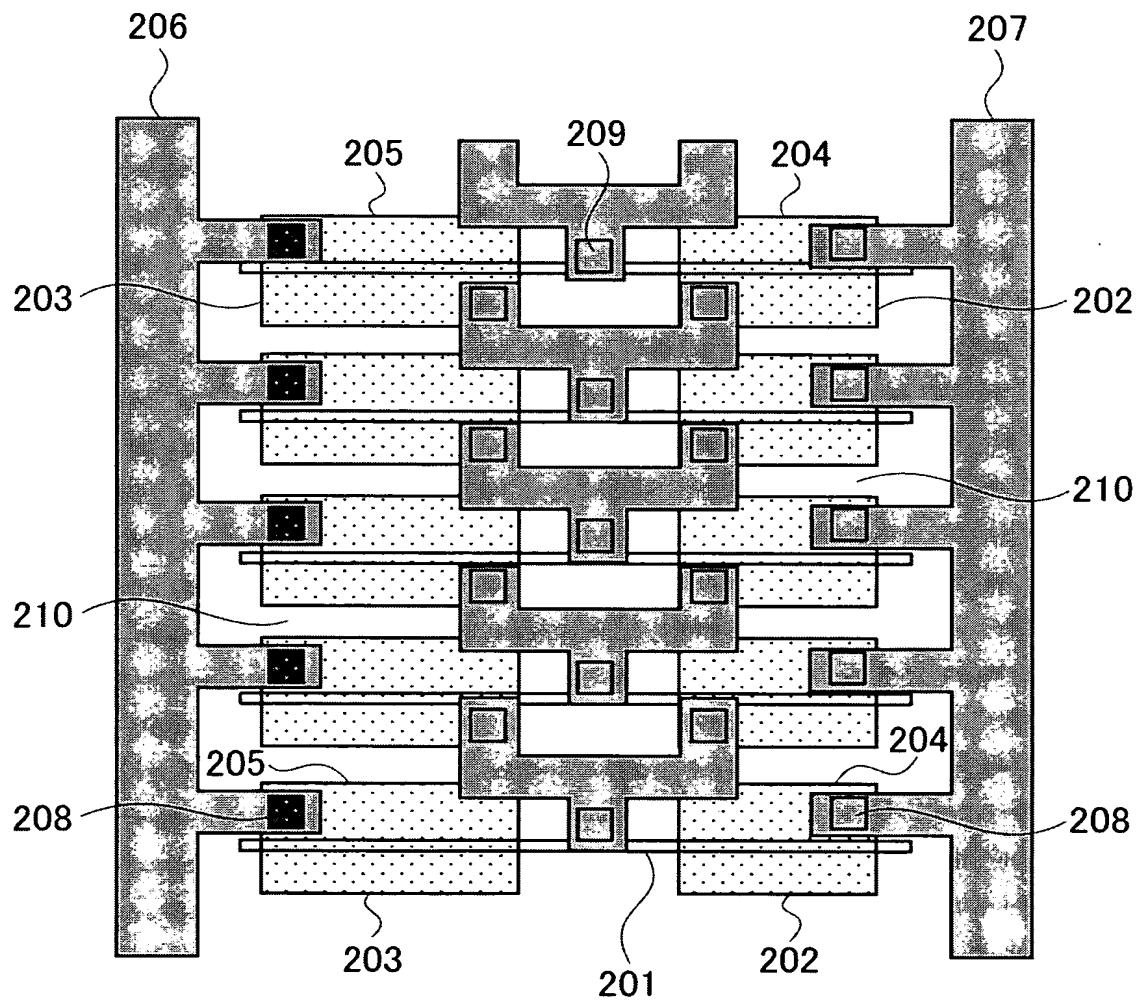
【図27】



【図28】



【図29】



【書類名】要約書

【要約】

【課題】 サイドウォールパターントランスマスター法による微細ゲート形成工程を採用した論理回路を構成することである。

【解決手段】 pFETのソース領域105及びドレイン領域103を複数有する素子領域と、素子領域上に環状に形成された複数のpFETのゲート電極領域101と、nFETのソース領域104及びドレイン領域102を複数有する素子領域と、素子領域上に環状に形成され、各々前記第一導電型のゲート電極領域に電気的に接続された複数のnFETトランジスタのゲート電極領域101と、pFET側の素子領域のソース領域105に第一の電圧を供給する配線106と、nFETのソース領域104に第二の電圧を供給する第二の配線107と、pFET側及びnFET側の素子領域のドレイン領域及びpFET及びnFETのゲート電極領域に電気的に接続された第三の配線と、を有するようにしてある。

【選択図】 図1

特願2003-352628

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝